

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
21. Februar 2002 (21.02.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/15293 A2

(51) Internationale Patentklassifikation⁷: H01L 51/20,
27/00

(21) Internationales Aktenzeichen: PCT/DE01/03163

(22) Internationales Anmeldedatum:
17. August 2001 (17.08.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
100 40 441.3 18. August 2000 (18.08.2000) DE
100 57 502.1 20. November 2000 (20.11.2000) DE
100 57 665.6 21. November 2000 (21.11.2000) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): CLEMENS, Wolfgang [DE/DE]; Kornstrasse 5, 90617 Puschendorf (DE). BERND, Adolf [DE/DE]; Adalbert-Stifter-Strasse 11, 91083 Baiersdorf (DE). ROST, Henning [DE/DE]; Heinrich-Kirchner-Strasse 24, 91056 Erlangen (DE). FIX, Walter [DE/DE]; Mühlstrasse 20a, 90762 Fürth (DE).

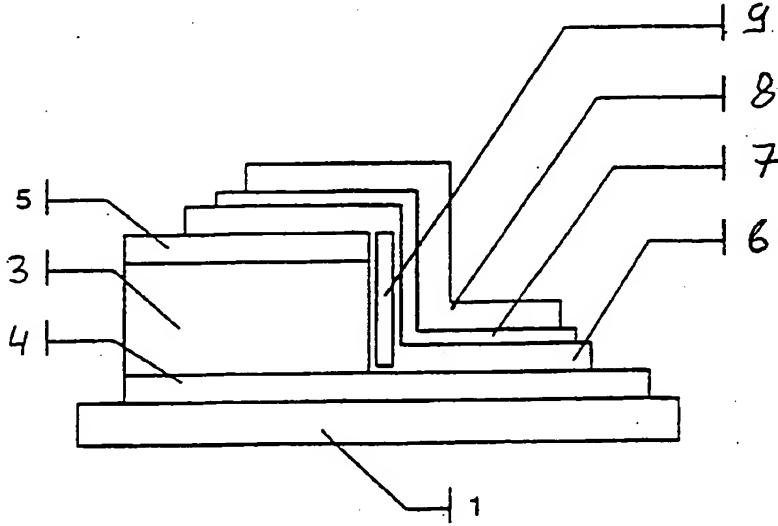
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE).

(81) Bestimmungsstaaten (national): JP, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: ORGANIC FIELD-EFFECT TRANSISTOR (OFET), A PRODUCTION METHOD THEREFOR, AN INTEGRATED CIRCUIT CONSTRUCTED FROM THE SAME AND THEIR USES

(54) Bezeichnung: ORGANISCHER FELDEFFEKT-TRANSISTOR (OFET), HERSTELLUNGSVERFAHREN DAZU UND DARAUS GEBAUTE INTEGRIERTE SCHALTUNG SOWIE VERWENDUNGEN



(57) Abstract: The invention relates to an organic field-effect transistor with an improved performance. The output current is increased by the arrangement of several current channels on the OFET, all of which contribute to the output current. By positioning the source and drain electrode on a plane which is not parallel to the surface of the substrate, it is possible to reduce the distances between the source and the drain in relation to those previously attainable. This produces shorter current channels with faster switching speeds. Finally, the invention relates to integrated circuits, which are stacked on a substrate to save space.

[Fortsetzung auf der nächsten Seite]

WO 02/15293 A2



(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

— Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Erklärungen gemäß Regel 4.17:

— hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungstaaten JP, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)

(57) **Zusammenfassung:** Die Erfindung betrifft einen organischen Feldeffekt-Transistor mit erhöhter Leistungsfähigkeit. Der Ausgangstrom wird durch den Aufbau mehrere Stromkanäle auf dem OFET, die alle einen Beitrag zum Ausgangstrom liefern, gesteigert. Durch eine Anordnung der Source und Drain Elektrode nicht auf einer Ebene parallel zu der Oberfläche des Substrats wird es möglich, geringere Abstände zwischen Source und Drain zu realisieren, als sie bisher zugänglich waren. Damit ergeben sich kürzere Stromkanäle mit schnelleren Schaltgeschwindigkeiten. Schließlich betrifft die Erfindung integrierte Schaltungen, die platzsparend auf einem Substrat durch Stapelung angeordnet sind.

Organischer Feldeffekt-Transistor (OFET), Herstellungsverfahren dazu und daraus gebaute integrierte Schaltung sowie Verwendungen

5 Die Erfindung betrifft einen organischen Feldeffekt-Transistor (OFET) mit verbesselter Leistungsfähigkeit.

Organische integrierte Schaltkreise (plastic integrated circuits PIC) auf der Basis von OFETs werden für mikroelektronische Massenanwendungen und Wegwerf-Produkte wie kontaktlos auslesbare Identifikations- und Produkt- "tags" gebraucht (RFID-tags: radio frequency identification - tags). Dabei kann auf das excellente Betriebsverhalten der Silizium-Technologie verzichtet werden, aber dafür sollten sehr niedrige Herstellungskosten und mechanische Flexibilität gewährleistet sein. Die Bauteile wie z.B. elektronische Strich-Kodierungen (Barcodes), sind typischerweise Einwegeprodukte.

Bisher ist die Leistungsfähigkeit von OFETs beschränkt, weil die für diese Bauelemente verwendeten organischen Halbleitermaterialien nur eine geringe Ladungsträgerbeweglichkeit haben. Dies äußert sich unter anderem dadurch, dass die Ausgangsströme der OFETs relativ gering sind. Je höher die Ausgangsströme eines OFETs, desto schneller wird die daraus aufgebaute elektrische Schaltung. Ein weiterer Vorteil ist, dass mit hohen Ausgangsströmen auch direkt Bauelemente angesteuert werden können, welche hohe Ströme benötigen, wie z.B. organische Leuchtdioden (OLEDs) für aktive Displays.

30 Eine wichtige Anwendung des OFETs ist ein organischer Transponder (RFID-Tag). Je schneller diese Transponder arbeiten, desto kürzer ist die Zeit, die benötigt wird um ein Objekt/Ware/Gegenstand zu identifizieren. Bisher bekannte organische Schaltungen, die auf OFETs basieren, haben eine maximale Schaltgeschwindigkeit von 100 Bit/s (Philips: Gelinck et al., APL 77, S. 1487-89, 9/2000). Das ist für die schnelle Erfassung von Waren/Gegenständen viel zu langsam, da typi-

scherweise 128 Bit übertragen werden müssen. Anzustreben ist eine Auslesezeit von etwa 0,1 - 0,05 s. Dazu werden sehr schnelle OFETs gebraucht.

5 Die Schaltgeschwindigkeit eines OFETs wird durch die Transitzeit der Ladungsträger von der Source- zur Drainelektrode bestimmt und ist damit von der Mobilität im halbleitenden Material und auch von der Kanallänge des Stromkanals abhängig und zwar derart, dass ein längerer Stromkanal zu einer niedrigen 10 Schaltfrequenz führt und umgekehrt. Angestrebt werden grundsätzlich hohe Schaltfrequenzen, weil etliche Anwendungen des OFETs von dessen Schaltgeschwindigkeit abhängen und bisher die Anwendung der OFETs wegen der niedrigen Schaltfrequenz stark begrenzt ist, weil allgemein in der Informationsverarbeitung die für eine brauchbare Übertragung benötigte 15 Bitrate mindestens im KBit/s-Bereich liegt.

Bisher bekannt ist, beispielsweise aus der DE 10040441.3, der OFET mit einem lateral, also horizontal und parallel zur Substratoberfläche verlaufendem Stromkanal. Der einzige Stromkanal entsteht zwischen der Source- und der Drain-Elektrode, die bei den bisher bekannten Systemen in einer Ebene und parallel zur Ebene der Substratoberfläche liegen. Der Abstand zwischen Source und Drain bestimmt die Länge des Stromkanals, 25 wobei mit den Strukturierungsmethoden bisher eine minimale Länge des Stromkanals von zumindest 1 μ m erreicht wird. Damit wurden Transistor-Schaltfrequenzen im Bereich von etwa 10 KHz erzielt. Diese Schaltfrequenzen sind aber für viele Anwendungen noch zu gering.

30 Aufgabe der Erfindung ist es, die Leistungsfähigkeit, insbesondere die Ausgangsströme und Schaltfrequenz eines OFETs durch Verbesserung des "lay-outs" des OFETs und der daraus gebauten Schaltung zu steigern.

35 Gegenstand der Erfindung ist ein Organischer Feld-Effekt-Transistor auf einem Substrat, wobei zumindest eine halblei-

tende, zumindest eine Drain- und eine Source-Elektrode verbindende Schicht, zumindest zwei isolierende und zumindest eine leitende Schicht mit Gate-Elektrode auf dem Substrat derart aufgebracht sind, dass nach Anlegen einer Spannung an die Gate-Elektrode durch den Feld-Effekt zumindest zwei Stromkanäle und/oder ein vertikal, also quer zur Oberfläche des Substrats verlaufender Stromkanal entsteht.

10 Außerdem ist Gegenstand der Erfindung ein Verfahren zur Herstellung eines Mehrfach-Kanal-OFETs durch Aufbringen strukturierter organischer Schichten (z.B. Polymerschichten) auf ein Substrat und/oder ein Verfahren zur Herstellung eines OFETs mit einem quer zur Substratoberfläche verlaufenden Stromkanal.

15 Des weiteren ist Gegenstand der Erfindung eine integrierte Schaltung mit zumindest zwei Transistoren, die gestapelt angeordnet sind.

20 Schließlich ist noch die Verwendung des OFETs mit zumindest zwei und/oder einem vertikalem Stromkanal beim Aufbau logischer Schaltungen und/oder in der Ansteuerung von organischen Displays Gegenstand der Erfindung, sowie die Verwendung in einem schnellen Transponder und/oder einem RFID-Tag.

25 Nach einer Ausführungsform umfasst das Verfahren zur Herstellung eines OFETs, folgende Arbeitsschritte:

- Aufbringen einer unteren Elektrode auf ein Substrat,
- Aufbringen einer ersten Schicht aus Isolator auf die untere Elektrode,
- Aufbringen einer oberen Elektrode auf den ersten Isolator,
- Strukturierung der oberen Elektrode und der ersten Isolatorschicht
- Verbinden der beiden Elektroden durch eine Beschichtung mit halbleitendem Material
- Bedecken der halbleitenden Schicht mit dem zweiten Isolator

- Aufbringen der Gate-Elektrode auf den zweiten Isolator dort, wo die halbleitende Schicht die beiden anderen Elektroden verbindet.

5 Bevorzugt kann mit der Verwendung des OFETs mit zumindest zwei und/oder einem vertikal verlaufenden Stromkanal in einer integrierten organischen Schaltung Information mit einer Geschwindigkeit von zumindest 10 KBit/s verarbeitet werden.

10 Bei den bekannten Layouts für einen OFET liegen die Source- und Drain-Elektrode auf einer Ebene, die zu der Ebene der Substratoberfläche ungefähr parallel ist. Der Abstand zwischen den beiden Elektroden wird so klein wie möglich gehalten und ist im Wesentlichen von der Feinheit oder Auflösung 15 der Strukturierungsmethode abhängig und damit ein entscheidender Kostenfaktor bei der Herstellung des OFETs, weil die feineren Strukturierungsmethoden die kostspieligeren sind.

20 Nur mit einer kostspieligen Strukturierungsmethode gelingt bisher eine Herstellung eines Abstands zwischen Source und Drain von kleiner 1 μm .

25 Durch den hier erstmals vorgeschlagenen OFET mit vertikalem Stromkanal können wesentlich kürzere Abstände zwischen Drain und Source wie beispielsweise ca. 100 nm bis ca. 1 μm sehr kostengünstig durch Wahl der Schichtdicke realisiert werden.

30 Dies ist möglich, weil die Kanallänge, die die Distanz zwischen der Source- und der Drain-Elektrode spiegelt, nicht von der Auflösung der teuren und aufwendigen Fotolitographie-Strukturierungsmethoden abhängt, sondern sehr einfach von der Schichtdicke der Isolatorschicht, die zwischen Source und Drain aufgebracht wird.

35 Wenn dieses Layout mit einem Halbleiter aus organischem Material, der bevorzugt eine Mobilität von 10^{-2} cm^2/Vs hat, kombiniert wird, lassen sich OFETs mit einer Schaltgeschwin-

digkeit, wie sie für die Anwendungen in Transpondern interessant sind, herstellen.

Bevorzugt werden zwei oder mehr Stromkanäle eines OFETs durch 5 zumindest zwei Gate-Elektroden erzeugt.

Nach einer Ausführungsform des OFETs werden beide Seiten einer Gate-Elektrode zur Erzeugung von Stromkanälen benutzt.

10 Nach einer weiteren Ausführungsform hat ein OFET zumindest zwei Stromkanäle mit unterschiedlichen Geometrien.

Durch die Anordnung zweier oder mehrerer Stromkanäle und/oder durch die Verringerung der Länge des Stromkanals bzw. dessen 15 vertikaler Anordnung, können die Ausgangsströme und/oder die Schaltfrequenz unabhängig von dem verwendeten Material erhöht werden.

20 Die zusätzlichen Stromkanäle können durch mehrere Gate-Elektroden oder durch die Nutzung beider Seiten einer Gate-Elektrode erzeugt werden. Bei Verwendung von zwei oder mehreren Gate-Elektroden werden diese vorzugsweise kurzgeschlossen. Dadurch können die verschiedenen Stromkanäle durch nur eine Gate-Spannung gesteuert werden. Außerdem wird durch den 25 Zusammenschluss der Gate-Elektroden ein zusätzlicher Transistoranschluss vermieden. Dadurch lässt sich der Mehr-Kanal-OFET einfach in bestehende Schaltungskonzepte integrieren.

30 Die Herstellung eines OFETs geschieht durch strukturiertes Aufbringen von organischen Schichten (z.B. Polymer- und/oder Oligomerschichten), bzw. allgemein durch Beschichten mit isolierenden, halbleitenden und/oder leitenden Kunststoff-Schichten. Dies wird bevorzugt über eine Drucktechnik oder durch Auftragen wie Aufschleudern, Aufdampfen, Aufgiessen, 35 spin coating oder Aufsputtern mit nachfolgender Fotolithographie erreicht.

Bei der Herstellung einer Ausführungsform eines OFETs als Mehr-Kanal-OFET werden die strukturierten Schichten beispielsweise in folgender Reihenfolge aufgebracht:

5 Zunächst wird eine Gate-Elektrode auf ein Substrat aufgebracht. Dann wird auf die Gate-Elektrode eine Isolatorschicht aufgebracht, die in einer Richtung größer und in der Richtung senkrecht dazu kleiner als die Gate-Elektrode ist. Auf die Isolatorschicht wird zumindest eine Source-Elektrode und zu-
10 mindest eine Drain-Elektrode so aufgebracht, dass die untere Gate-Elektrode ungefähr zentriert zwischen Source- und Drain-Elektrode liegt.

15 Die Strukturierung der Elektrode kann beispielsweise durch Fotolithographie, Bedrucken und/oder durch Rakeln erfolgen.

Eine Halbleiterschicht wird dann zwischen der Source-Elektrode und der Drain-Elektrode aufgebracht, wobei die Halbleiterschicht die Source- und Drain-Elektrode um einige Mikrome-
20 ter überlappt. Eine weitere, obere Isolatorschicht wird auf die Halbleiterschicht aufgebracht.

25 Eine obere Gate-Elektrode wird bevorzugt so auf die obere Isolatorschicht aufgebracht, dass durch Überlappung ein Kurzschluss zur unteren Gate-Elektrode entsteht.

Der erste Isolator, dessen Schichtdicke bei einem OFET mit vertikalem Stromkanal die Kanallänge bestimmt, wird beispielsweise durch Aufschleudern oder Rakeln auf die untere Elektrode aufgebracht und ebenfalls strukturiert. Der erste Isolator kann sowohl in einem getrennten Arbeitsschritt als auch zusammen mit der angrenzenden Drain-Elektrodenschicht strukturiert werden.

35 Dabei kann der erste Isolator beispielsweise auch durch Bedrucken aufgebracht werden.

Die halbleitende Schicht kann beispielsweise durch Aufschleudern oder Rakeln aufgebracht und mit Hilfe von Fotolithographie strukturiert werden.

5 Die zweite Isolatorschicht kann ebenfalls aufgeschleudert oder durch Rakeln aufgebracht werden.

Schließlich kann die Gate-Elektrode durch Aufsputtern, Aufdampfen, oder Bedrucken aufgebracht werden.

10

Die Source-/Drain-Elektrode kann leitendes organisches Material und/oder einen metallischen Leiter umfassen.

Als Isolator wird Polyimid, Polyester und/oder Polymethacrylat eingesetzt.

Als Gate wird entweder Metall oder ein leitfähiger Kunststoff eingesetzt.

20 Als halbleitende Schicht wird bevorzugt ein organisches Material mit einer hohen Mobilität der Ladungsträger genommen.

Als leitende Schicht wird bevorzugt Polyanilin eingesetzt

25 Der Begriff "organisches Material" umfasst hier alle Arten von organischen, metallorganischen und/oder anorganischen Kunststoffen, die im Englischen z.B. mit "plastics" bezeichnet werden. Es handelt sich um alle Arten von Stoffen mit Ausnahme der Halbleiter, die die klassischen Dioden bilden

30 (Germanium, Silizium), und der typischen metallischen Leiter. Eine Beschränkung im dogmatischen Sinn auf organisches Material als Kohlenstoff-enthaltendes Material ist demnach nicht vorgesehen, vielmehr ist auch an den breiten Einsatz von z.B. Siliconen gedacht. Weiterhin soll der Term keiner Beschränkung im Hinblick auf die Molekülgröße, insbesondere auf polymere und/oder oligomere Materialien unterliegen, sondern es ist durchaus auch der Einsatz von "small molecules" möglich.

Die Oberfläche des Substrats begrenzt bei einer integrierten Schaltung die Anzahl der Transistoren, die zusammen die integrierte Schaltung ergeben, weil die Transistoren nur neben- 5 einander und in einem Mindestabstand angeordnet sind, so dass nicht der Feld-Effekt des einen Transistors einen benachbarten Transistor stört oder umgekehrt. Nachteilig daran ist, dass der zwei-dimensionale, also flächige Platzbedarf der integrierten Schaltung relativ hoch ist.

10

Mit der Stapelung von Transistoren lässt sich die nutzbare Fläche eines Substrats verdoppeln bzw. vervielfachen, weil die Transistoren nicht nur nebeneinander, sondern auch über- 15 einander angeordnet werden können. Der Term "Vervielfachung" bezeichnet dabei nicht nur ganzzahlige Vielfache.

20

Bei der Stapelung von OFETs kann beispielsweise die Verkapselung und/oder Abdeckung des unteren OFETs als Substrat und/oder Träger für den oberen OFET dienen. Dabei wird die Dicke und das Material der Verkapselung so gewählt, dass sie 25 keinen Feldeffekt von der Gate-Elektrode des unteren Transistors auf die Drain- oder Source-Elektrode des oberen Transistors zulässt. Entsprechend wird die Dicke der verkapselnden und/oder isolierenden Schicht so gewählt, dass sie weit größer ist als die der Isolatorschicht zwischen der Gate-Elektrode und den Source/Drain-Elektroden eines OFETs. Die Dicke der Schicht zwischen zwei gestapelten Transistoren ist bevorzugt weit über 200nm beispielsweise im Bereich zwischen 400 und 800nm, insbesondere ca. 600 nm.

30

Als Material für die Verkapselung wird bevorzugt eine Isolatorschicht verwendet. Materialien dafür sind die gängigen Isolatoren in der organischen Halbleitertechnik, wie z.B. Polyvinylphenol (PVP).

35

Im Folgenden wird die Erfindung noch anhand von Ausführungsbeispielen näher erläutert:

5 In den Figuren 1 bis 3 ist der Aufbau und das Layout eines Mehrfach-Kanal-OFETs am Beispiel eines Doppel-Kanal-OFETs dargestellt, in den Figuren 4 bis 6 wird ein OFET mit zumindest einem vertikalen Stromkanal gezeigt und schließlich ist in Figur 7 eine integrierte Schaltung zu sehen, die zumindest zwei Transistoren umfasst, die gestapelt angeordnet sind:

10 Figur 1 zeigt einen Doppel-Kanal-OFET von oben,

Figur 2 zeigt einen Querschnitt durch den OFET entlang der Linie A-A

15 Figur 3 zeigt einen Querschnitt entlang der Linie B-B.

In Figur 4 ist der Schichtaufbau eines OFETs mit vertikalem Stromkanal gezeigt.

20 Figur 5 zeigt ein Ausführungsbeispiel für ein Lay-Out eines OFETs mit zwei vertikalen Stromkanälen.

25 In Figur 6 ist eine weitere Variante eines OFETs mit zwei vertikalen Stromkanälen gezeigt.

Die Figur 7 schließlich zeigt einen Querschnitt durch zwei aufeinander gestapelte organische Feld-Effekt-Transistoren:

30 In Figur 1 sind die drei Elektroden eines Transistors zu sehen: die Source-Elektrode 4, die Drain-Elektrode 5 und eine Gate-Elektrode 8, welche z.B. mit der Gate-Elektrode 2 kurzgeschlossen ist (siehe Figur 3). Des weiteren ist die obere Isolatorschicht 7 zu sehen, welche einen elektrischen Kontakt zwischen der Gate-Elektrode 8 und dem Halbleiter 6 verhindert.

35 In Figur 2 ist das Layout des Doppel-Kanal-OFETs in einem Querschnitt entlang der Linie A-A der Figur 1 zu sehen. Ganz

unten befindet sich das Substrat 1, das z.B. aus Glas, Keramik, Si-Wafer oder einem organischen Material wie z.B. Polyimid- oder Polyethylenterephthalat (PET)-Folie sein kann. Auf dem Substrat 1 befindet sich die untere Isolatorschicht 3, die z.B. aus Polyvinylphenol bestehen kann. Die untere und obere Gate-Elektroden können, wie bei OFET-Elektroden generell, z.B. aus leitfähigen Polymeren wie Polyanilin (PAni) sein. Durch die zwei Gate-Elektroden entstehen durch den Feld-Effekt zwei Stromkanäle: einer auf der Oberseite und einer auf der Unterseite der Halbleiterschicht 6. Dadurch wird eine Steigerung des Ausgangsstroms gemäß der Erfindung bewirkt. Die untere Gate-Elektrode ist in diesem Querschnitt komplett vom unteren Isolator 3 und dem Substrat 1 eingeschlossen. Auf der unteren Isolatorschicht befindet sich der Halbleiter 6 (z.B. Poly-3-hexylthiophen) mit den beiden Elektroden 4 und 5 (Source und Drain) und als anschließende Schicht erkennt man die obere Isolationsschicht 7 und darauf die obere Gate-Elektrode 8.

20 In Figur 3 sieht man einen Querschnitt durch den Doppel-Kanal-OFET aus Figur 1 entlang der Linie B-B. Zu erkennen ist wieder ganz unten das (flexible) Substrat 1, daraufliegend die untere Gate-Elektrode 2, an die die obere Gate-Elektrode 8 anschließt. Von den Gate-Elektroden umhüllt werden: die untere und obere Isolationsschicht 3 und 7, die ihrerseits den Halbleiter 6 (im Querschnitt) ganz einschließen.

25

30 In Figur 4 ist folgender Schichtaufbau von unten nach oben erkennbar:

Auf dem Substrat 1 ist die Source-Elektrode 4 aufgebracht. Auf dieser Schicht und mit der Source-Elektrode 4 in Berührung ist die erste Isolatorschicht 3 und die halbleitende Schicht 6.

An die erste Isolatorschicht 3 grenzt die Drain-Elektrode 5 an, die ihrerseits auch mit der halbleitenden Schicht 6 in Kontakt ist. Die halbleitende Schicht 6 ist also in Kontakt mit den beiden Elektroden Source 4 und Drain 5 und auch mit 5 der sie trennenden ersten Isolatorschicht 3. Source 4 und Drain 5 stehen allerdings nicht in Kontakt miteinander sondern sind durch die erste Isolatorschicht 3 elektrisch von- einander isoliert. Verbunden sind diese beiden Elektroden nur durch die halbleitende Schicht 6. Die Dicke 1 der ersten Iso- 10 latorschicht 3 entspricht der Länge des Stromkanals 9, der sich nach erfolgtem Anlegen einer Spannung an die Gate-Elek- trode 8 durch den Feldeffekt zwischen der Source-Elektrode 4 und der Drain-Elektrode 5 in dem halbleitenden Material 6 ausbildet.

15

Auf der halbleitenden Schicht 6 liegt die zweite Isolator- schicht 7 auf, die die halbleitende Schicht 6 von der Gate- Elektrode 8 isoliert.

20 Figur 5 zeigt ein Ausführungsbeispiel für ein Lay-Out eines OFETs mit zwei vertikalen Stromkanälen.

Der Schichtaufbau von unten nach oben zeigt wiederum das Sub- stratum 1, daran anschließend die Source-Elektrode 4, auf der 25 die erste Isolatorschicht 3 und die Drain-Elektrode 5 struk- turiert aufgebracht sind. Die Schichten 3, 4 und 5 sind mit halbleitendem Material 6 überzogen. Der Halbleiter 6 ist mit einem zweiten Isolator 7 überzogen. Auf dem zweiten Isolator 7 sind zwei Gate-Elektroden 8 strukturiert aufgebracht, so 30 dass zwei vertikale Stromkanäle 9 ausgebildet werden.

Bei der in Figur 6 gezeigten Variante entstehen ebenfalls zwei vertikale Stromkanäle, allerdings nicht über zwei Gate- Elektroden 8, sondern über zwei Drain-Elektroden 5.

35

Die Figur 7 zeigt einen Querschnitt durch zwei aufeinander gestapelte organische Feld-Effekt-Transistoren:

Der Aufbau von unten nach oben zeigt folgende Schichten einer integrierten Schaltung:

- 5 Unten ist das Substrat 1 zu erkennen, auf dem die Drain- und Source-Elektroden 4,5 links und rechts außen und, sie umgebend, die Halbleiterschicht 6 aufgebracht ist. Auf der Halbleiterschicht 6 befindet sich die erste Isolatorschicht 3. Auf dieser sitzt eine Gate-Elektrode 8, die über eine Kontaktfahne 10 mit einer Source- und/oder Drain-Elektrode 4,5 eines unteren Transistors derart verknüpft ist, dass sie, sobald dort zwischen Drain- und Source-Elektrode 4,5 durch die Halbleiterschicht 6 Strom fließt, geschaltet wird und ein Stapel von Transistoren entsprechend, mit der Verzögerung eines Domino-Effekts, durch Anlegen von Strom an die unterste Gate-Elektrode 8 eingeschaltet wird. Über einer Gate-Elektrode 8 befindet sich die zweite Isolatorschicht 7, durch die der Stapelaufbau der Transistoren ermöglicht wird.
- 10
- 15
- 20 Die Erfindung betrifft einen organischen Feldeffekt-Transistor mit erhöhter Leistungsfähigkeit. Der Ausgangsstrom wird durch den Aufbau mehrere Stromkanäle auf dem OFET, die alle einen Beitrag zum Ausgangsstrom liefern, gesteigert. Durch eine Anordnung der Source und Drain Elektrode nicht auf einer Ebene parallel zu der Oberfläche des Substrats wird es möglich, geringere Abstände zwischen Source und Drain zu realisieren, als sie bisher zugänglich waren. Damit ergeben sich kürzere Stromkanäle mit schnelleren Schaltgeschwindigkeiten. Schließlich betrifft die Erfindung integrierte Schaltungen, 25 bei denen platzsparend auf einem Substrat die Transistoren gestapelt angeordnet sind.
- 25
- 30

Patentansprüche

1. Organischer Feld-Effekt-Transistor auf einem Substrat, wo-
bei zumindest eine halbleitende, zumindest eine Drain- und
5 eine Source-Elektrode verbindende Schicht, zumindest zwei i-
solierende und zumindest eine leitende Schicht mit Gate-
Elektrode auf dem Substrat derart aufgebracht sind, dass nach
Anlegen einer Spannung an die Gate-Elektrode durch den Feld-
Effekt zumindest zwei Stromkanäle und/oder ein vertikal, also
10 quer zur Oberfläche des Substrats verlaufender Stromkanal
entsteht.
2. Organischer-Feld-Effekt-Transistor nach Anspruch 1, mit
zumindest zwei Gate-Elektroden.
15
3. Organischer-Feld-Effekt-Transistor nach Anspruch 1 oder 2,
bei dem beide Seiten einer Gate-Elektrode zur Erzeugung von
zwei Strom-Kanälen benutzt werden.
- 20 4. Organischer-Feld-Effekt-Transistor nach einem der vorste-
henden Ansprüche, bei dem zumindest zwei Stromkanäle mit un-
terschiedlichen Geometrien vorhanden sind.
- 25 5. Organischer-Feld-Effekt-Transistor nach einem der vorste-
henden Ansprüche, bei dem zwischen zumindest zwei Gate-Elekt-
roden eine Kurzschlusschaltung besteht.
- 30 6. Organischer Feld-Effekt-Transistor nach einem der vorste-
henden Ansprüche, bei dem die erste Isolatorschicht und/oder
die Drain-Elektrode strukturiert aufgebracht sind.
7. Organischer Feld-Effekt-Transistor nach einem der vorste-
henden Ansprüche, bei dem die Strukturierung der ersten Iso-
latorschicht und die der Drain-Elektrode gleich sind.

8. Organischer Feld-Effekt-Transistor nach einem der vorstehenden Ansprüche, bei dem die Gate Elektrode strukturiert aufgebracht ist.
- 5 9. Organischer Feld-Effekt-Transistor mit zumindest an einer Stelle einem Abstand zwischen Source- und Drain-Elektrode von kleiner 1 μm .
- 10 10. Integrierte Schaltung, die zumindest einen Feld-Effekt-Transistor nach einem der Ansprüche 1 bis 9 umfasst.
11. Integrierte Schaltung, bei der zumindest zwei Transistoren gestapelt angeordnet sind.
- 15 12. Integrierte Schaltung, bei der die nutzbare Oberfläche des Substrates ein Vielfaches ihrer tatsächlichen Oberfläche ist.
- 20 13. Integrierte Schaltung nach einem der vorstehenden Ansprüche 10 bis 12, die zumindest zwei organische Feld-Effekt-Transistoren umfasst.
- 25 14. Integrierte Schaltung nach einem der vorstehenden Ansprüche 10 bis 13, bei der bei gestapelter Anordnung die Abdækung und/oder Verkapselung eines unteren Transistors als Substrat und/oder Träger eines oberen Transistors dient.
- 30 15. Integrierte Schaltung nach einem der vorstehenden Ansprüche 10 bis 14, bei der die Verkapselung eines unteren Transistors bei gestapelter Anordnung eine Dicke von größer 200 nm hat.
- 35 16. Verfahren zur Herstellung einer integrierten Schaltung durch Stapelung und/oder Anordnung nebeneinander von zumindest zwei Transistoren.

17. Verfahren nach Anspruch 16, bei dem zumindest zwei organische Feld-Effekt-Transistoren gestapelt werden.

18. Verwendungen einer integrierten Schaltung mit zumindest zwei Transistoren, die gestapelt angeordnet sind, zum Aufbau logischer Schaltungen.

19. Verfahren zur Herstellung eines OFETs, folgende Arbeitsschritte umfassend:

- 10 - Aufbringen einer unteren Elektrode auf ein Substrat,
- Aufbringen einer ersten Schicht aus Isolator auf die untere Elektrode,
- Aufbringen einer oberen Elektrode auf den ersten Isolator,
- Strukturierung der oberen Elektrode und der ersten Isolator 15 schicht die Strukturierung der ersten Isolierschicht muss in einem Arbeitsschritt mit der Strukturierung der Drain/Source erfolgen und die Strukturen müssen zumindest an den Kanten, an denen sich ein vertikaler Stromkanal ausbildet gleich sein.
- 20 - Verbinden der beiden Elektroden durch eine Beschichtung mit halbleitendem Material
- Bedecken der halbleitenden Schicht mit dem zweiten Isolator
- Aufbringen und Strukturieren der Gate-Elektrode auf den 25 zweiten Isolator zumindest dort, wo die halbleitende Schicht die beiden anderen Elektroden verbindet.

20. Verfahren nach Anspruch 19, wobei die untere Elektrode ebenfalls strukturiert wird.

- 30 21. Verfahren zur Herstellung eines Mehrfach-Kanal-OFETs durch Aufbringen strukturierter organischer Schichten, beispielsweise Polymere, auf ein Substrat.
- 35 22. Verfahren nach Anspruch 21, bei dem die strukturierten organischen Schichten zumindest teilweise durch Drucken auf das Substrat aufgebracht werden.

23. Verfahren nach einem der Ansprüche 21 oder 22, bei dem die strukturierten Polymerschichten zumindest teilweise durch Aufschleudern, Aufdampfen, und/oder Aufsputtern mit nachfolgender Lithographie auf das Substrat aufgebracht werden.

5 24. Ansteuerung organischer DISPLAYS in integrierten organischen Schaltungen zur Informationsverarbeitung mit Datenraten von über ein 200 Bit, bevorzugt ab 1000 Bit (kBit) pro Sekunde (Integrierte Schaltung mit zumindest einem OFET).

10 25. RFID-Tag mit zumindest einer integrierten Schaltung, die zumindest zwei gestapelt angeordnete Transistoren umfasst.

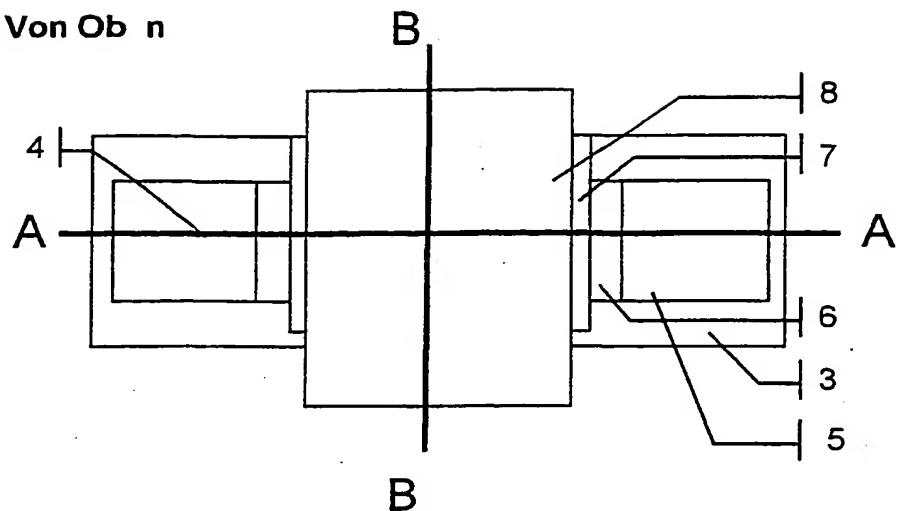
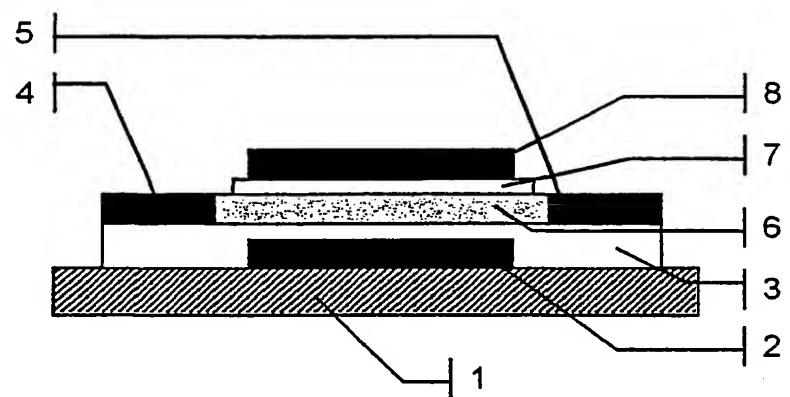
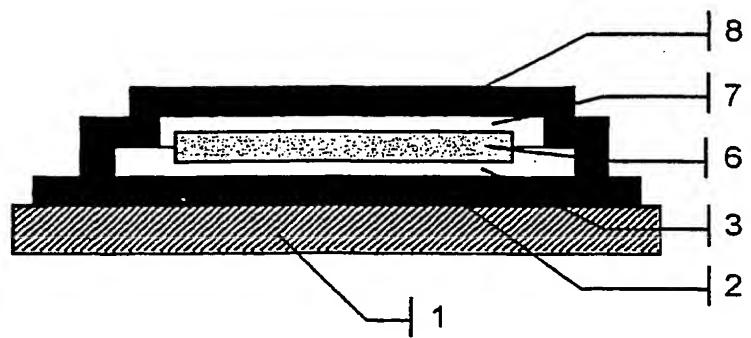
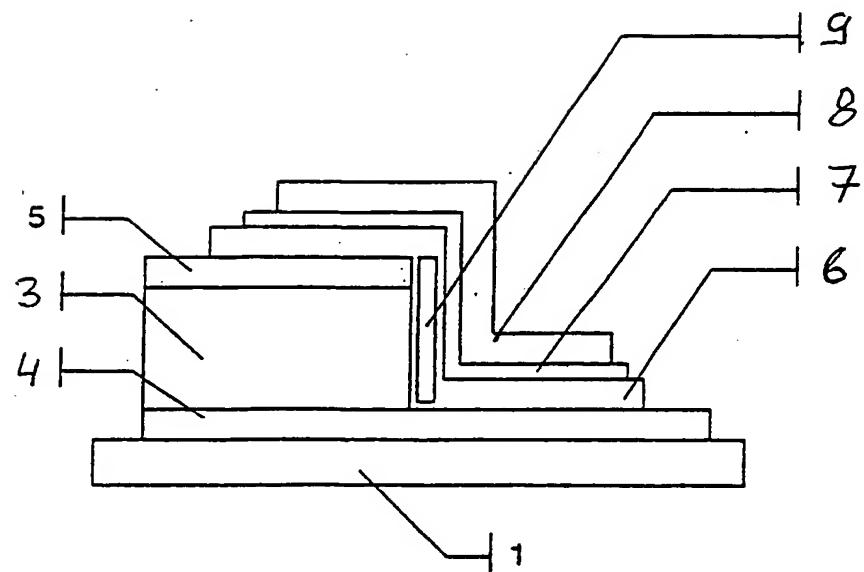
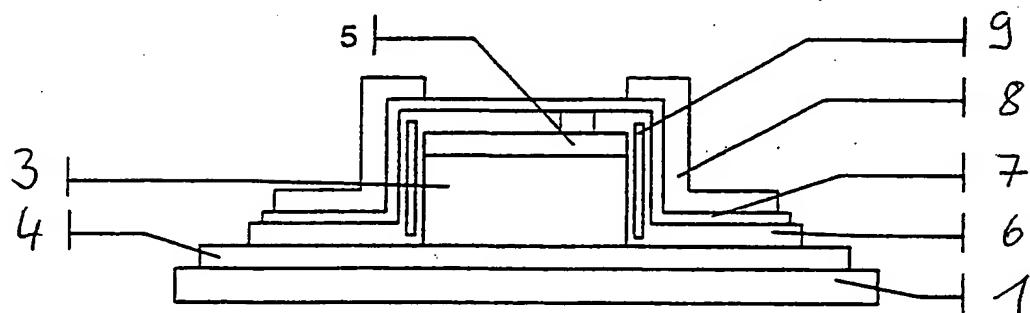
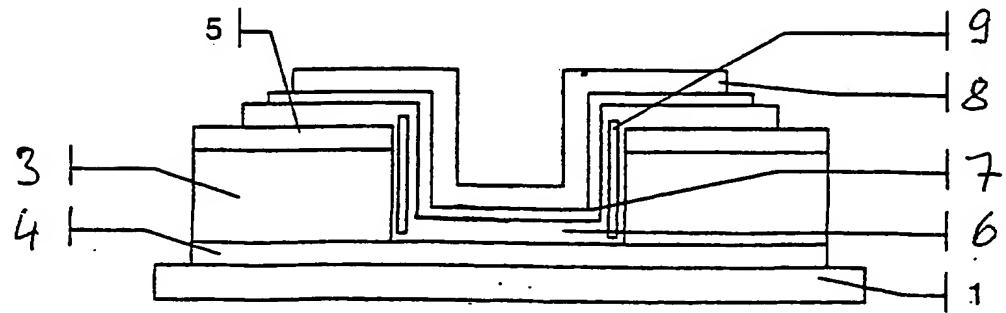
Fig. 1: Von Oben**Fig. 2: Querschnitt längs A-****Fig. 3: Querschnitt längs B-**

Fig. 4Fig. 5Fig. 6

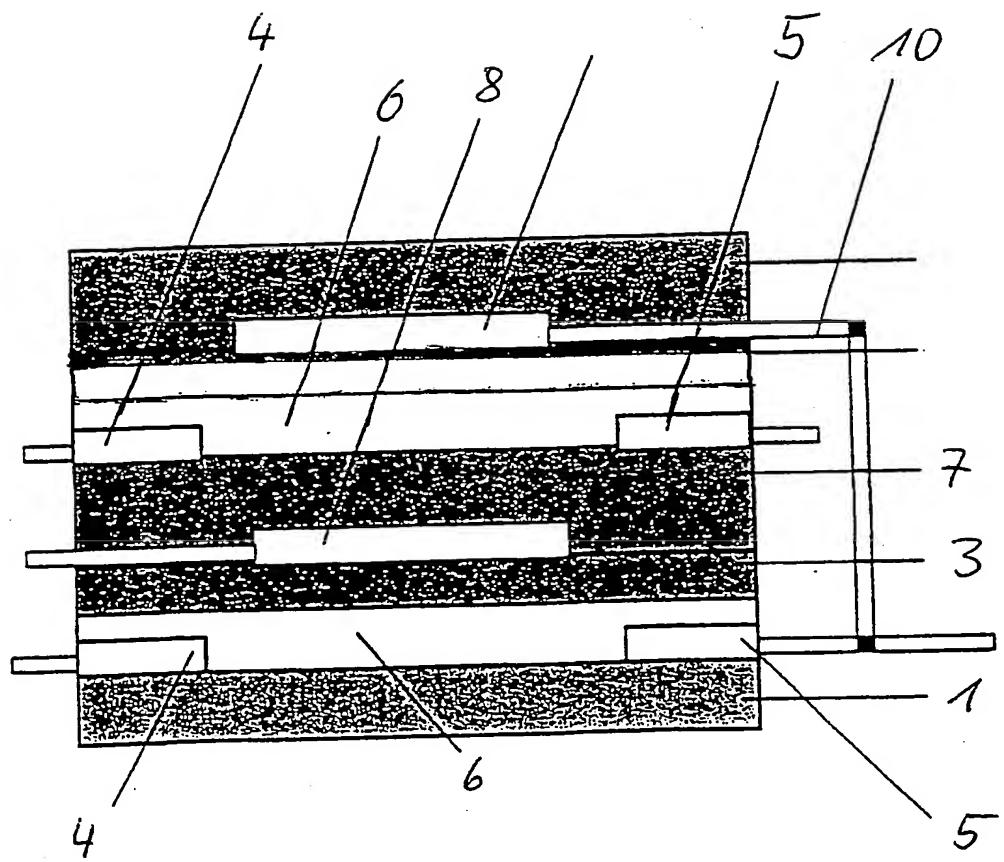


FIG 7

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
21. Februar 2002 (21.02.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/015293 A3

(51) Internationale Patentklassifikation⁷: H01L 51/20, 27/00 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

(21) Internationales Aktenzeichen: PCT/DE01/03163 (72) Erfinder; und

(22) Internationales Anmeldedatum: 17. August 2001 (17.08.2001) (75) Erfinder/Anmelder (nur für US): CLEMENS, Wolfgang [DE/DE]; Kornstrasse 5, 90617 Puschendorf (DE). BERNDS, Adolf [DE/DE]; Adalbert-Stifter-Strasse 11, 91083 Baiersdorf (DE). ROST, Henning [DE/DE]; Heinrich-Kirchner-Strasse 24, 91056 Erlangen (DE). FIX, Walter [DE/DE]; Mühlstrasse 20a, 90762 Fürth (DE).

(25) Einreichungssprache: Deutsch (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE).

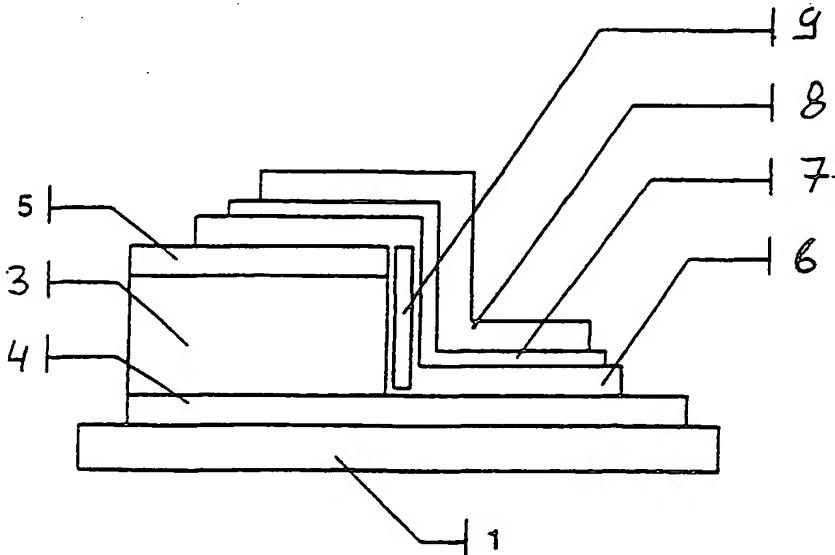
(26) Veröffentlichungssprache: Deutsch (81) Bestimmungsstaaten (national): JP, US.

(30) Angaben zur Priorität:
100 40 441.3 18. August 2000 (18.08.2000) DE
100 57 502.1 20. November 2000 (20.11.2000) DE
100 57 665.6 21. November 2000 (21.11.2000) DE

[Fortsetzung auf der nächsten Seite]

(54) Title: ORGANIC FIELD-EFFECT TRANSISTOR (OFET), A PRODUCTION METHOD THEREFOR, AN INTEGRATED CIRCUIT CONSTRUCTED FROM THE SAME AND THEIR USES

(54) Bezeichnung: ORGANISCHER FELDEFFEKT-TRANSISTOR (OFET), HERSTELLUNGSVERFAHREN DAZU UND DARAUS GEBAUTE INTEGRIERTE SCHALTUNG SOWIE VERWENDUNGEN



(57) Abstract: The invention relates to an organic field-effect transistor with an improved performance. The output current is increased by the arrangement of several current channels on the OFET, all of which contribute to the output current. By positioning the source and drain electrode on a plane which is not parallel to the surface of the substrate, it is possible to reduce the distances between the source and the drain in relation to those previously attainable. This produces shorter current channels with faster switching speeds. Finally, the invention relates to integrated circuits, which are stacked on a substrate to save space.

(57) Zusammenfassung: Die Erfindung betrifft einen organischen Feldeffekt-Transistor mit erhöhter Leistungsfähigkeit. Der Ausgangs-

WO 02/015293 A3

strom wird durch den Aufbau mehrere Stromkanäle auf dem OFET, die alle einen Beitrag zum Ausgangsstrom liefern, gesteigert. Durch eine Anordnung der Source und Drain Elektrode nicht auf einer Ebene parallel zu der Oberfläche des Substrats wird es möglich, geringere Abstände zwischen Source und Drain zu realisieren, als sie bisher zugänglich waren. Damit ergeben sich kürzere Stromkanäle mit schnelleren Schaltgeschwindigkeiten. Schließlich betrifft die Erfindung integrierte Schaltungen, die platzsparend auf einem Substrat durch Stapelung angeordnet sind.



(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Veröffentlicht:

— mit internationalem Recherchenbericht

Erklärungen gemäß Regel 4.17:

- hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten JP, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)
- Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

(88) **Veröffentlichungsdatum des internationalen Recherchenberichts:**

1. August 2002

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

INTERNATIONAL SEARCH REPORT

Int'l. Application No
PCT/DE 01/03163

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L51/20 H01L27/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

INSPEC, EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GARNIER F ET AL: "VERTICAL DEVICES ARCHITECTURE BY MOLDING OF ORGANIC-BASED THIN FILMTRANSISTOR" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 73, no. 12, 21 September 1998 (1998-09-21), pages 1721-1723, XP000784120 ISSN: 0003-6951 figure 2	1,6,8,10
A	EP 0 460 242 A (NIPPON PETROCHEMICALS CO LTD) 11 December 1991 (1991-12-11) figure 1	19
X	—	1,2

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

27 February 2002

Date of mailing of the International search report

26.03.02

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Königstein, C

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/03163

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	COLLET J ET AL: "LOW-VOLTAGE, 30 NM CHANNEL LENGTH, ORGANIC TRANSISTORS WITH A SELF-ASSEMBLED MONOLAYER AS GATE INSULATING FILMS" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 76, no. 14, 3 April 2000 (2000-04-03), pages 1941-1943, XP000950589 ISSN: 0003-6951 the whole document ---	9
X	HWANG J D ET AL: "A vertical submicron SiC thin film transistor" SOLID STATE ELECTRONICS, ELSEVIER SCIENCE PUBLISHERS, BARKING, GB, vol. 38, no. 2, 1 February 1995 (1995-02-01), pages 275-278, XP004014040 ISSN: 0038-1101 figure 2 ---	19,20
X	ROGERS J A ET AL: "LOW-VOLTAGE 0.1 MUM ORGANIC TRANSISTORS AND COMPLEMENTARY INVERTER CIRCUITS FABRICATED WITH A LOW-COST FORM OF NEAR-FIELD PHOTOLITHOGRAPHY" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 75, no. 7, 16 August 1999 (1999-08-16), pages 1010-1012, XP000934355 ISSN: 0003-6951 the whole document ---	9,10
X	"SHORT-CHANNEL FIELD-EFFECT TRANSISTOR" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 32, no. 3A, 1 August 1989 (1989-08-01), pages 77-78, XP000049357 ISSN: 0018-8689 the whole document ---	19,20
X	WO 93 16491 A (KOPIN CORP) 19 August 1993 (1993-08-19) abstract; figure 17D ---	11,12, 16,18
A	WO 99 40631 A (OPTICOM AS ;GUSTAFSSON BENGT GOERAN (SE); KARLSSON JOHAN ROGER AXE) 12 August 1999 (1999-08-12) the whole document ---	
		-/-

INTERNATIONAL SEARCH REPORT

Int: ional Application No

PCT/DE 01/03163

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 99 54936 A (SIRRINGHAUS HENNING ;TESSLER NIR (GB); CAMBRIDGE DISPLAY TECH (GB)) 28 October 1999 (1999-10-28) the whole document ----	24
A	BAO Z ET AL: "ORGANIC AND POLYMERIC MATERIALS FOR THE FABRICATIONS OF THIN FILM FIELD-EFFECT TRANSISTORS" PAPERS PRESENTED AT THE MEETING - AMERICAN CHEMICAL SOCIETY. DIVISION OF POLYMER CHEMISTRY, XX, XX, vol. 39, no. 1, 29 March 1998 (1998-03-29), pages 90-91, XP001032497 ISSN: 0032-3934 the whole document ----	19,21-23
A	ROGERS J A ET AL: "PRINTING PROCESS SUITABLE FOR REEL-TO-REEL PRODUCTION OF HIGH-PERFORMANCE ORGANIC TRANSISTORS AND CIRCUITS" ADVANCED MATERIALS, VCH VERLAGSGESELLSCHAFT, WEINHEIM, DE, vol. 11, no. 9, 5 July 1999 (1999-07-05), pages 741-745, XP000851834 ISSN: 0935-9648 the whole document ----	19,21,22

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 01/03163

Patent document cited in search report	Publication date		Patent family member(s)	Publication date
EP 0460242	A 11-12-1991		DE 69026607 D1 DE 69026607 T2 EP 0460242 A1 WO 9110264 A1 JP 3169617 B2 JP 4129272 A US 5206525 A JP 3169618 B2 JP 4225567 A	23-05-1996 31-10-1996 11-12-1991 11-07-1991 28-05-2001 30-04-1992 27-04-1993 28-05-2001 14-08-1992
WO 9316491	A 19-08-1993		US 5258325 A US 5376561 A CA 2129123 A1 EP 0626099 A1 JP 7504782 T WO 9316491 A1 US 5377031 A US 5539550 A US 6143582 A US 5702963 A US 5583335 A US 5499124 A US 2001040644 A1 US 5757445 A US 5256562 A US 5331149 A AT 180578 T CA 2130672 A1 DE 69325110 D1 DE 69325110 T2 DK 725939 T3 EP 0725939 A1 EP 0909972 A2 JP 7504764 T WO 9318428 A2 US 6140980 A	02-11-1993 27-12-1994 19-08-1993 30-11-1994 25-05-1995 19-08-1993 27-12-1994 23-07-1996 07-11-2000 30-12-1997 10-12-1996 12-03-1996 15-11-2001 26-05-1998 26-10-1993 19-07-1994 15-06-1999 14-09-1993 01-07-1999 09-12-1999 15-11-1999 14-08-1996 21-04-1999 25-05-1995 16-09-1993 31-10-2000
WO 9940631	A 12-08-1999		NO 980224 A NO 985472 A AU 732134 B2 AU 2552099 A CN 1293825 T EP 1051754 A1 WO 9940631 A1	19-07-1999 19-07-1999 12-04-2001 23-08-1999 02-05-2001 15-11-2000 12-08-1999
WO 9954936	A 28-10-1999		AU 3614399 A BR 9909580 A CN 1301400 T EP 1074048 A1 WO 9954936 A1	08-11-1999 19-12-2000 27-06-2001 07-02-2001 28-10-1999